

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 8 月 11 日 (11.08.2005)

PCT

(10) 国際公開番号
WO 2005/073850 A1

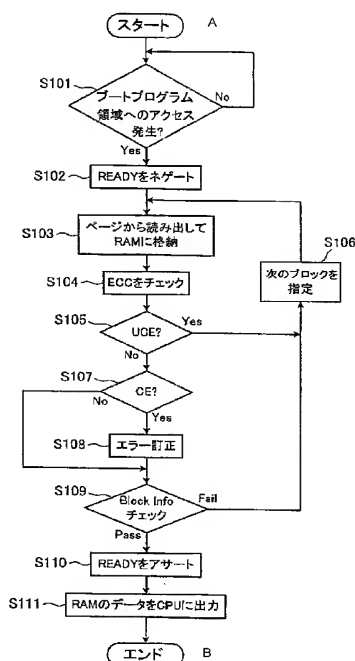
- (51) 国際特許分類: G06F 9/445
- (21) 国際出願番号: PCT/JP2005/001105
- (22) 国際出願日: 2005 年 1 月 27 日 (27.01.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-019278 2004 年 1 月 28 日 (28.01.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 片野 由人

- (KATANO, Yoshito) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP). 吉田 正 (YOSHIDA, Tadashi) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP). 迫 和彦 (SAKO, Kazuhiko) [JP/JP]; 〒2400005 神奈川県横浜市保土ヶ谷区神戸町 1 3 4 番地 ソニー・エルエスアイ・デザイン株式会社内 Kanagawa (JP).
- (74) 代理人: 小池 晃, 外(KOIKE, Akira et al.); 〒1000011 東京都千代田区内幸町一丁目 1 番 7 号 大和生命ビル 1 1 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR ACTIVATING THE SAME

(54) 発明の名称: 半導体装置及びその起動処理方法



A START
S101 ACCESS TO BOOT PROGRAM STORAGE AREA HAS OCCURRED?
S102 NEGATE READY
S103 READ FROM PAGE AND STORE INTO RAM
S104 CHECK ECC
S106 DESIGNATE NEXT BLOCK
S108 CORRECT ERROR
S109 CHECK BLOCK INFO
S110 ASSERT READY
S111 OUTPUT DATA FROM RAM TO CPU
B END

(57) Abstract: A semiconductor device wherein a flash memory of lower cost per bit, such as NAND type, is used as a boot device, and the same boot program is stored in each of a plurality of blocks in the flash memory. A flash memory controller, when receiving from a CPU an access to a boot program storage area, outputs, to the CPU, data read from the corresponding page, only if it determines that the corresponding block is not defective from a determination based on ECC in that data and from a determination based on block information. Otherwise, the flash memory controller reads the boot program stored in the next block and performs anew a determination as to whether the block is defective or not.

(57) 要約: 本発明は、NAND型などのビット単価の低いフラッシュメモリをブートデバイスとして使用する半導体装置であり、フラッシュメモリ内の複数のブロックにそれぞれ同一のブートプログラムを記憶しておく。フラッシュメモリコントローラは、CPUからブートプログラムの記憶領域へのアクセスを受けると、対応するページから読み出したデータ中のECCに基づく判定と、ブロックインフォメーションに基づく判定により、対応するブロックが不良でないと判定した場合のみ、読み出したデータをCPUに出力する。不良ブロックと判定した場合は、次のブロックに記憶されたブートプログラムを読み出して不良ブロックの判定を再度行う。



LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,
SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置及びその起動処理方法

技術分野

- [0001] 本発明は、データを書換えが可能な不揮発性メモリからブートプログラムを読み出して起動する半導体装置及びその起動処理方法に関し、特に、NAND型フラッシュメモリのように、製造過程で不良ブロックを排除することが困難な大容量の不揮発性メモリからブートプログラムを読み出して起動する半導体装置及びその起動処理方法に関する。

本出願は、日本国において2004年1月28日に出願された日本特許出願番号2004-019278を基礎として優先権を主張するものであり、この出願は参照することにより、本出願に援用される。

背景技術

- [0002] 従来、多数の機能を1チップ上に集積した構造を有するシステムLSI (Large Scale Integrated circuit) が用いられている。この種のシステムLSIは、家庭用のポータブル型の電子機器など、様々な電子機器に使用されている。システムLSIには、ブートプログラムなどの様々な処理プログラムやデータが記憶された不揮発性メモリが、チップの内部又は外部に設けられる。このような不揮発性メモリとして、記憶データの電氣的な書換えが可能なフラッシュメモリが広く用いられる。

ブートプログラムを格納するフラッシュメモリとしては、一般にNOR型フラッシュメモリが用いられることが多いが、最近では、ビット単価の比較的安価なNAND型フラッシュメモリを用いる要求が高まっている。

NAND型フラッシュメモリを利用した従来のブートシステムとしては、CPU (Central Processing Unit) コアと、システムメモリと、NAND型フラッシュメモリと、各メモリとCPUコアとの間のデータ通信のためのインタフェースとを具備し、CPUコアの制御により、NAND型フラッシュメモリからのブートコードを上記インタフェースを通じてRAM (Random Access Memory) に一旦格納し、このRAMからブートコードを読み出すことでシステムブーティング動作を行い、システム性能を向上させたものがある。この種の

ブートシステムとして、特開2003-271391号公報に記載されたものがある。

ところで、フラッシュメモリは、通常、データの書込みや読出しがブロック単位で行われるが、NAND型フラッシュメモリは、製造過程において不良ブロックがランダムに発生することが知られている。一方、NAND型フラッシュメモリを用いたブートを可能とするためには、ブートプログラムが記憶されたブロックが不良でなく、そのプログラムが正常に記憶されていることが保証されている必要がある。しかし、NAND型フラッシュメモリにおいて、ある特定のブロックが不良でないことを保証するためには、出荷前に行う試験のコストが増大してしまうことが問題となっていた。

発明の開示

発明が解決しようとする課題

[0003] 本発明の目的は、従来の技術が有する問題点を解消することができる新規な半導体装置及びその起動処理方法を提供することにある。

本発明の他の目的は、NAND型などの比較的ビット単価の低いフラッシュメモリをブートデバイスとして使用した場合に、常に安定的に起動することが可能とされた半導体装置を提供することにある。

本発明のさらに他の目的は、NAND型などの比較的ビット単価の低いフラッシュメモリをブートデバイスとして使用した場合に、常に安定的に起動することが可能となる半導体装置の起動処理方法を提供することにある。

本発明は、データの書換えが可能な不揮発性メモリからブートプログラムを読み出して起動する半導体装置において、不揮発性メモリ内の複数のブロックにそれぞれ同一のブートプログラムが記憶され、さらに、起動時に不揮発性メモリ内のブートプログラムの読出し位置を指定して、読み出されたブートプログラムに従って起動処理を実行するCPUと、読出し位置に対応する不揮発性メモリ内のブロックから読み出したデータに基づいて、当該ブロックが不良であるか否かを判定し、不良でない場合は、当該データをCPUに対して出力し、不良である場合は、ブートプログラムが記憶された他のブロックからデータを読み出して当該ブロックが不良であるか否かを再度判定する読出し制御回路とを有する。

本発明に係る半導体装置は、起動時には、まず、不揮発性メモリにおいて同一の

ブートプログラムがあらかじめ記憶されたブロックのうちの1つから、読出し制御回路によりデータが読み出される。読出し制御回路は、読み出したデータに基づいて、このとき読出しが行われたブロックが不良であるか否かを判定する。この判定は、例えば、読み出したデータに含まれるエラー訂正情報、あるいはブロック状態情報などに基づいて行う。

そして、読出し制御回路は、当該ブロックが不良でない場合は、読み出したデータをCPUに出力する。これにより、ブートプログラムが順次CPUに入力されて実行され、半導体装置が起動する。一方、当該ブロックが不良である場合は、不揮発性メモリにおいてブートプログラムが記憶された他のブロックからデータを読み出し、このとき読出しが行われたブロックが不良であるか否かを再度判定する。

このような読出し制御回路が半導体装置に実装されることにより、不良ブロックがランダムに含まれる大容量の不揮発性メモリを用いた場合にも、不良ブロックに記憶された不正なブートコードがCPUに実行される事態が回避される。したがって、比較的製造コストの低い不揮発性メモリを用いて、常に安定的な起動処理を行うことが可能となる。

また、本発明は、データの書換えが可能な不揮発性メモリから読み出されたブートプログラムに従って起動処理を実行するCPUを具備する半導体装置の起動処理方法において、不揮発性メモリ内の複数のブロックにそれぞれ同一の前記ブートプログラムが記憶され、不揮発性メモリの読出し制御回路により、起動時に前記CPUに指定された読出し位置に対応する不揮発性メモリ内のブロックからデータを読み出し、読み出したデータに基づいて当該ブロックが不良であるか否かを判定し、不良でない場合は、当該データを前記CPUに対して出力し、不良である場合は、ブートプログラムが記憶された他のブロックからデータを読み出して当該ブロックが不良であるか否かを再度判定する。

本発明に係る半導体装置の起動処理方法は、読出し制御回路により、起動時には、まず、不揮発性メモリにおいて同一のブートプログラムがあらかじめ記憶されたブロックのうちの1つからデータを読み出す。そして、読み出したデータに基づいて、このとき読出しが行われたブロックが不良であるか否かが判定される。この判定は、例え

ば、読み出したデータに含まれるエラー訂正情報、あるいはブロック状態情報などに基づいて行われる。

そして、当該ブロックが不良でない場合は、読み出したデータがCPUに出力される。これにより、ブートプログラムが順次CPUに入力されて実行され、半導体装置が起動する。一方、当該ブロックが不良である場合は、不揮発性メモリにおいてブートプログラムが記憶された他のブロックからデータが読み出され、このとき読出しが行われたブロックが不良であるか否かの判定が再度行われる。

このような処理が読み出し制御回路に実行されることにより、不良ブロックがランダムに含まれる大容量の不揮発性メモリを用いた場合にも、不良ブロックに記憶された不正なブートコードがCPUに実行される事態が回避される。したがって、比較的製造コストの低い不揮発性メモリを用いて、常に安定的な起動処理を行うことが可能となる。

本発明に係る半導体装置の起動処理方法を用いることにより、製品出荷前の試験によることなく、不揮発性メモリ内のブートプログラムが記憶されたブロックが正常であることを保証することができるので、製造コストの低い大容量の不揮発性メモリを用いて、この不揮発性メモリ内のブートコードに従って常に安定的に半導体装置を起動させることができる。

本発明のさらに他の目的、本発明によって得られる利点は、以下において図面を参照して説明される実施に形態から一層明らかにされるであろう。

図面の簡単な説明

[0004] [図1]図1は、本発明に係る半導体装置を示すブロック回路図である。

[図2]図2は、フラッシュメモリのデータ構造の例を示す図である。

[図3]図3は、フラッシュメモリにおけるブートプログラムの格納状態を示す図である。

[図4]図4は、本発明に係る半導体装置の起動時におけるフラッシュメモリコントローラの処理の流れを示すフローチャートである。

発明を実施するための最良の形態

[0005] 以下、本発明の実施の形態を図面を参照して詳細に説明する。

図1は、本発明に係る半導体装置の構成を示すブロック回路図である。

図1に示す半導体装置は、各種回路が同一半導体チップ上に集積されたシステム

LSI10と、この外部に設けられたNAND型のフラッシュメモリ20とを具備する。

システムLSI10は、CPU11、eDRAM(embedded Dynamic Random Access Memory)12及び13、フラッシュメモリコントローラ14、入出力(I・O)I/F(インタフェース)15、その他の周辺回路(Peripheral)16、内部バス17を備える。

CPU11は、内部バス17を通じてeDRAM12及び13やフラッシュメモリコントローラ14、周辺回路16に接続されている。CPU11は、フラッシュメモリ20などに記憶された処理プログラムを実行することにより、この半導体装置全体の動作を統括的に制御する。eDRAM12及び13は、CPU11により実行される処理プログラムや、処理に用いられるデータを一時的に記憶する。

フラッシュメモリコントローラ14は、外部に設けられたフラッシュメモリ20の読出しを制御する回路であり、その内部にRAM14aを具備している。フラッシュメモリコントローラ14は、CPU11から読出しアドレスの指定を受けて、フラッシュメモリ20からデータを読み出してRAM14aに一時的に格納した後、CPU11に供給する。また、RAM14aに記憶したデータに対して、このデータに含まれるECC(Error Correcting Code)に基づいてエラー訂正を行う機能も有する。

さらに、フラッシュメモリコントローラ14は、CPU11によりフラッシュメモリ20内のブートプログラムに対するアクセスを受けた場合には、フラッシュメモリ20から読み出したデータをRAM14aに一旦格納した後、読出しを行ったフラッシュメモリ20内のブロックが不良であるか否かを判定して、不良でない場合のみ、そのデータをCPU11に供給する。

入出力I/F15は、フラッシュメモリコントローラ14とフラッシュメモリ20との間のデータのやり取りを行うためのI/F回路である。

フラッシュメモリ20には、この半導体装置を起動するためのブートプログラムを含む各種の処理プログラムやデータが格納されている。これらの処理プログラムは、CPU11により実行される。

なお、内部バス17には、この内部バス17を通じたアクセスが可能であるか否かを示すバス状態信号READYが伝送されるバスが含まれる。例えば、CPU11がフラッシュメモリコントローラ14に対してフラッシュメモリ20からのデータ読出しを要求したとき

に、フラッシュメモリコントローラ14によりバス状態信号READYがネゲートされると、内部バス17に対する上位システムからのアクセスがブロックされる。

このような半導体装置では、フラッシュメモリ20にあらかじめブートプログラムが格納される。そして、起動の際には、CPU11によりフラッシュメモリコントローラ14に対して、ブートプログラムが格納されているブロックの先頭アドレスが指定され、フラッシュメモリ20から読み出されたブートプログラムがCPU11により実行される。これにより、半導体装置内の各部分が初期化される。

ところで、NAND型のフラッシュメモリは、不良ブロックがランダムに発生することが知られている。このようなフラッシュメモリは、大容量でありながら、NOR型フラッシュメモリなどと比較して安価である。一方、半導体装置を常に安定的に起動させるためには、フラッシュメモリ20内に記憶されたブートプログラムが、常に正常な状態でCPU11に供給され、実行される必要がある。

このため、本実施の形態では、フラッシュメモリ20内の複数のブロックに、それぞれ同一のブートプログラムを格納しておく。そして、フラッシュメモリコントローラ14において、フラッシュメモリ20から読み出したデータに基づいて、読出しが行われたブロックが不良であるか否かを判定し、不良であった場合には他のブロックに記憶されたブートプログラムを再度読み出す。このような処理により、CPU11において、常に正常なブロックに記憶されたブートプログラムが実行されるようにする。

本例では、フラッシュメモリコントローラ14は、フラッシュメモリ20から読み出したデータに含まれるECC及びブロックインフォメーションに基づいて、ブロックが不良であるか否かを判定する。

図2は、フラッシュメモリ20のデータ構造の例を示す図である。

図2に示すように、フラッシュメモリ20の内部は複数のブロックに分割され、ブロックごとにデータの読出しが行われる。各ブロックは、さらにページ単位に分割される。本例では64のページに分割される。さらに、各ページでは、例えば先頭から2048バイト分がユーザデータの格納領域とされ、その後の例えば64バイト分の拡張データ(Extra Data)領域が設けられている。

拡張データ領域には、その先頭から、ECCが3バイトずつの4つの領域に分割され

て格納される。なお、これらの各領域の最後部には「00」が挿入される。また、各ブロックの先頭ページには、さらに次の4バイト分の領域にブロックインフォメーションが格納される。ブロックインフォメーションは、当該ブロックが不良であるか否かを示すフラグであり、この値が特定の値である場合に当該ブロックが正常であると判別することが可能となる。

図3は、フラッシュメモリ20におけるブートプログラムの格納状態を示す図である。

図3に示すように、本例では、フラッシュメモリ20内の先頭からの4ブロックに、それぞれ同一のブートプログラムが格納され、それ以後のブロックに他の処理プログラムやデータが格納される。これらのうち、リセット直後にCPU11により指定されるのは先頭ブロックとされ、このブロックを不良であると判定した場合は、フラッシュメモリコントローラ14は、第2、第3、第4のブロックを順次指定して、ブートプログラムを読み出す。

図4は、上述の半導体装置の起動時におけるフラッシュメモリコントローラ14の処理の流れを示すフローチャートである。

〔ステップS101〕システムのリセット信号が入力されると、CPU11は、内部バス17を介して、ブートプログラムの格納領域に対するアクセスを行う。フラッシュメモリコントローラ14は、CPU11からのアクセスを待機し、上記格納領域、具体的には先頭ブロックの先頭ページへのアクセスが発生した場合に、ステップS102に進む。

〔ステップS102〕バス状態信号READYをネゲートする。これにより、上位システムからの内部バス17に対するアクセスがブロックされる。

〔ステップS103〕入出力I/F15を通じてフラッシュメモリ20にアクセスし、CPU11により指定された領域から1ページ分のデータを読み出す。そして、読み出したデータをRAM14aに一時的に格納する。なお、このときすでにRAM14a内にデータが格納されていた場合には、そのデータに上書きする。

〔ステップS104〕RAM14aに格納したデータを順次読み出して、まず、ECCをチェックし、以下のステップS105及びS107の判定を行う。

〔ステップS105〕当該ページのデータが訂正不可能なエラー(UCE: Uncorrectable Error)を含むと判定した場合にはステップS106に進み、そうでない場

合はステップS107に進む。

〔ステップS106〕フラッシュメモリ20内の読出し対象を次のブロックに指定して、ステップS103に戻る。これにより、次のブロックの先頭ページから再度データが読み出される。

なお、本例では、フラッシュメモリ20内の4ブロックにブートプログラムが格納されているので、ステップS106に進んだ回数が4となったときは、処理を終了する。この場合、半導体装置は起動されない。

〔ステップS107〕当該ページのデータが訂正可能なエラー(CE:Correctable Error)を含むと判定した場合はステップS108に進み、そうでない場合、すなわちエラーを含まない場合はステップS109に進む。

〔ステップS108〕当該ページのデータに対してエラー訂正処理を施し、RAM14aに書き戻す。

〔ステップS109〕RAM14aのデータからブロックインフォメーションを抽出する。そして、このブロックインフォメーションが特定の値でない場合は、不良ブロックと判定してステップS106に進む。これにより、次のブロックの先頭ページから再度データが読み出される。また、ブロックインフォメーションが特定の値であった場合は、正常なブロックと判定して、ステップS110に進む。

〔ステップS110〕バス状態信号READYをアサートする。

〔ステップS111〕RAM14aのデータを、内部バス17を通じてCPU11に出力する。これにより、フラッシュメモリ20から読み出されたブートプログラムがCPU11により実行され、半導体装置が起動される。

なお、上述のフローチャートは、ブートプログラムの容量が1ページ内のデータ格納領域の容量以下である場合の処理を示している。ブートプログラムが複数ページに渡って格納される場合は、ステップS109の処理は、ブロック内の先頭ページからの読出しが行われた場合にのみ実行される。また、この処理により正常なブロックと判定された場合には、ステップS110及びS111によりRAM14a内のデータをCPU11に出力した後、再びステップS102に戻ってバス状態信号READYをネゲートし、ステップS103で次のページからのデータ読出しを行うようにすればよい。

以上のフローチャートで示した処理により、フラッシュメモリコントローラ14は、フラッシュメモリ20から読み出したデータが訂正可能なエラーを含む場合、あるいはエラーを含まない場合で、かつ、ブロックインフォメーションにより不良ブロックでないことが検出された場合のみ、そのデータをCPU11に出力する。このため、CPU11は、起動時には常に正常なブートプログラムを実行するようになり、半導体装置を安定的に起動させることが可能となる。

したがって、フラッシュメモリコントローラ14の処理により、ブートプログラムが格納されたフラッシュメモリ20内の特定ブロックが不良でないことが実質的に保証される。従来、特定のブロックが不良でないことを保証することは、フラッシュメモリの出荷前に行う試験のコストの増大につながり、また歩留まりが悪化する要因ともなっていた。しかし、本発明を適用した場合には、ランダムに不良ブロックが存在する、低コストでかつ大容量のフラッシュメモリをブートデバイスとして使用することが可能となるので、半導体装置全体の製造コストを抑制しながらも、常に安定的な起動処理を実行することが可能となる。

また、読出し対象のブロックが不良であると判定された場合には、フラッシュメモリコントローラ14の処理により、他のブロックからブートプログラムが再度読み出され、不良ブロックでないと判定された場合にのみCPU11に出力される。このため、CPU11は、リセット後に従来と何ら変わらない処理手順で起動処理を実行することができ、フラッシュメモリコントローラ14以外の構成を変更する必要がない。したがって、本発明は、CPUにより種々の処理が実行されるコンピュータシステムに対して、製造コストを増大させることなく、汎用的に適用することが可能である。

なお、上記の例では、フラッシュメモリをシステムLSIの外部に設けたが、このフラッシュメモリをシステムLSIの内部に形成した場合にも本発明を適用することが可能である。

また、ブートデバイスとして用いるフラッシュメモリとしては、NAND型に限らず、比較的大容量で、シーケンシャルなアクセスが可能な構成を有して、製品出荷時に不良ブロックを完全に排除することが困難なフラッシュメモリを適用することが可能である。このようなものとして、例えば、AND型といわれるフラッシュメモリを用いることが可

能である。

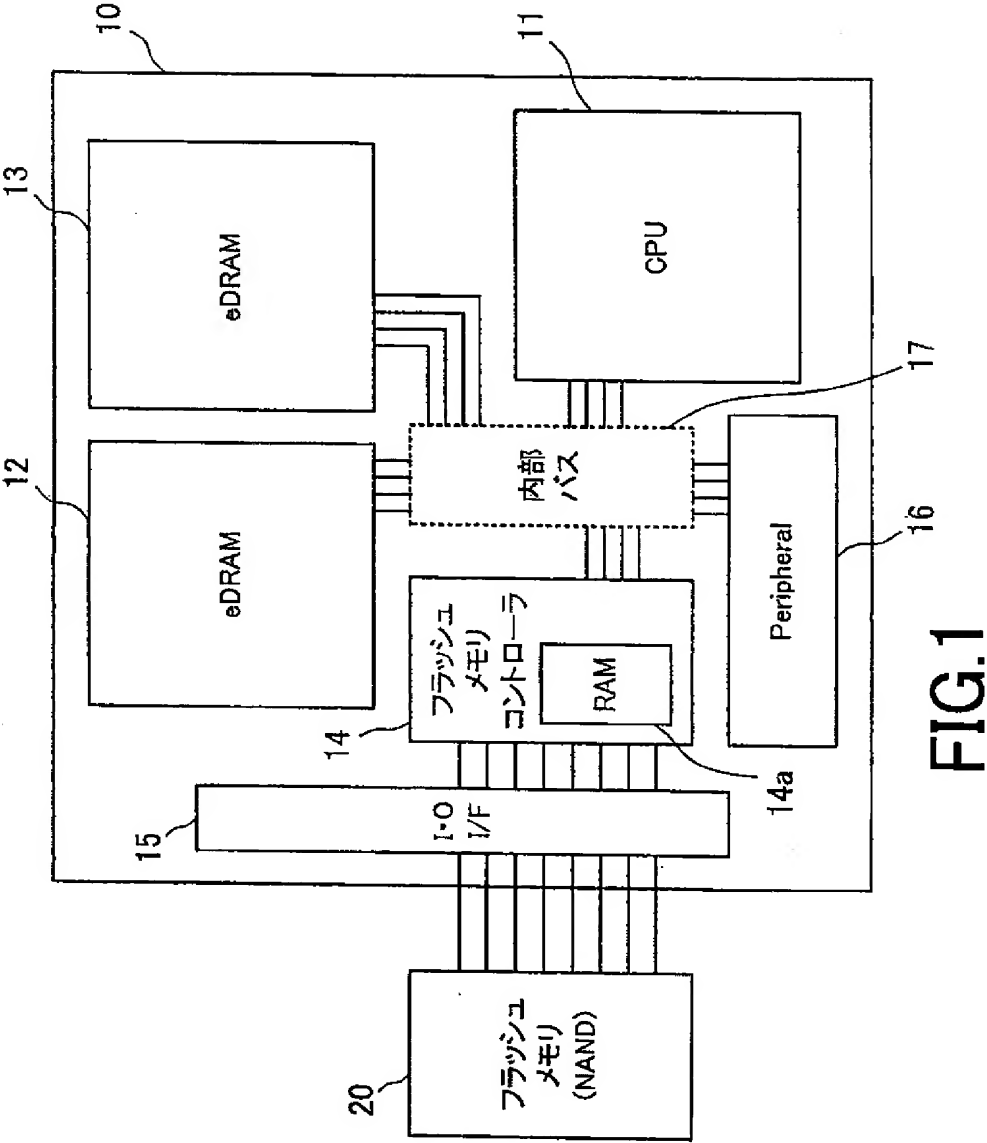
なお、本発明は、図面を参照して説明した上述の実施例に限定されるものではなく、添付の請求の範囲及びその主旨を逸脱することなく、様々な変更、置換又はその同等のものを行うことができることは当業者にとって明らかである。

請求の範囲

- [1] 1. データの書換えが可能な不揮発性メモリからブートプログラムを読み出して起動する半導体装置において、
- 前記不揮発性メモリ内の複数のブロックにそれぞれ同一の前記ブートプログラムが記憶され、
- さらに、起動時に前記不揮発性メモリ内の前記ブートプログラムの読み出し位置を指定して、読み出された前記ブートプログラムに従って起動処理を実行するCPUと、
- 前記読み出し位置に対応する前記不揮発性メモリ内のブロックから読み出したデータに基づいて、当該ブロックが不良であるか否かを判定し、不良でない場合は、当該データを前記CPUに対して出力し、不良である場合は、前記ブートプログラムが記憶された他のブロックからデータを読み出して当該ブロックが不良であるか否かを再度判定する読み出し制御回路と
- を有することを特徴とする半導体装置。
- [2] 2. 前記読み出し制御回路は、少なくとも、前記不揮発性メモリから読み出したデータに含まれるエラー訂正符号に基づいて、当該ブロックが不良であるか否かを判定することを特徴とする請求の範囲第1項記載の半導体装置。
- [3] 3. 前記読み出し制御回路は、前記エラー訂正符号に基づいて、訂正可能なデータであると判定した場合は、当該データを訂正して前記CPUに供給し、訂正不可能なデータであると判定した場合は、当該ブロックが不良であると判定することを特徴とする請求の範囲第2項記載の半導体装置。
- [4] 4. 前記読み出し制御回路は、少なくとも、前記不揮発性メモリから読み出したデータに含まれるブロック状態情報に基づいて、当該ブロックが不良であるか否かを判定することを特徴とする請求の範囲第1項記載の半導体装置。
- [5] 5. 前記読み出し制御回路は、前記ブロック状態情報があらかじめ決められた値でないときに、当該ブロックが不良であると判定することを特徴とする請求の範囲第4項記載の半導体装置。
- [6] 6. 前記ブロック状態情報は、前記ブートプログラムが記憶されたブロック内の先頭ページに記憶されていることを特徴とする請求の範囲第4項記載の半導体装置。

- [7] 7. 前記不揮発性メモリは、NAND型フラッシュメモリであることを特徴とする請求の範囲第1項記載の半導体装置。
- [8] 8. データの書換えが可能な不揮発性メモリから読み出されたブートプログラムに従って起動処理を実行するCPUを具備する半導体装置の起動処理方法において、
前記不揮発性メモリ内の複数のブロックにそれぞれ同一の前記ブートプログラムが記憶され、
前記不揮発性メモリの読出し制御回路により、起動時に前記CPUに指定された読出し位置に対応する前記不揮発性メモリ内のブロックからデータを読み出し、読み出したデータに基づいて当該ブロックが不良であるか否かを判定し、不良でない場合は、当該データを前記CPUに対して出力し、不良である場合は、前記ブートプログラムが記憶された他のブロックからデータを読み出して当該ブロックが不良であるか否かを再度判定することを特徴とする半導体装置の起動処理方法。

[図1]



[図2]

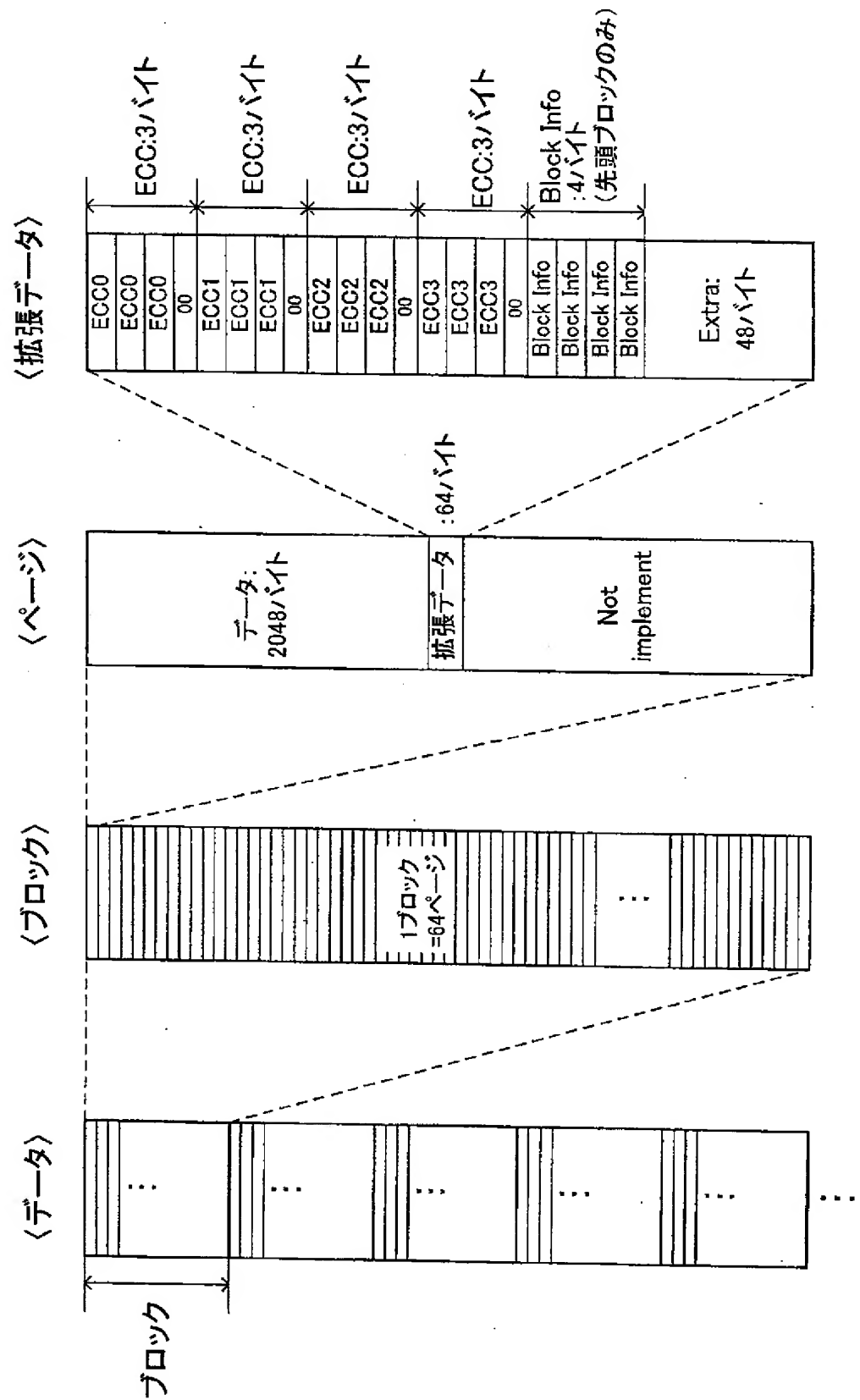


FIG.2

[図3]

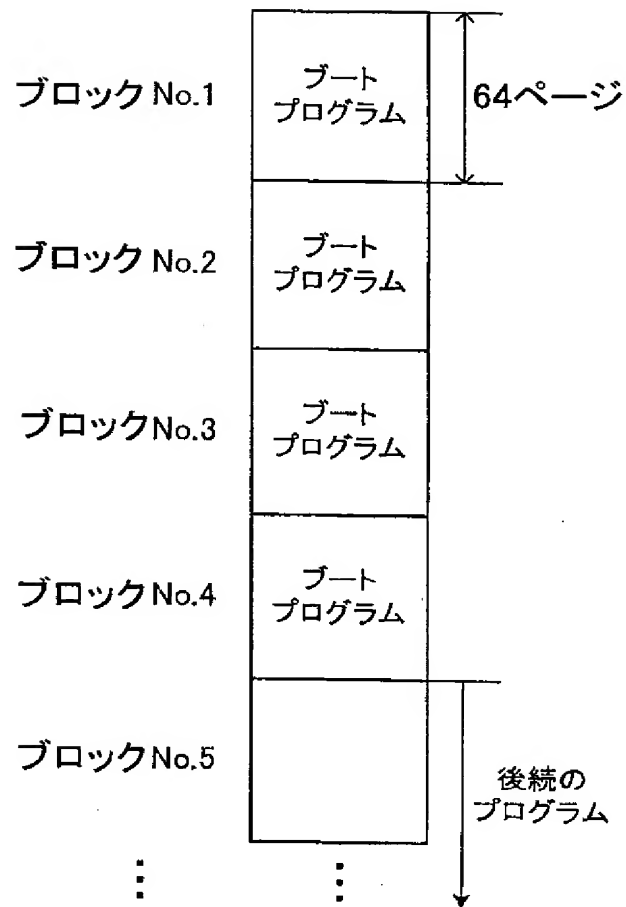


FIG.3

[図4]

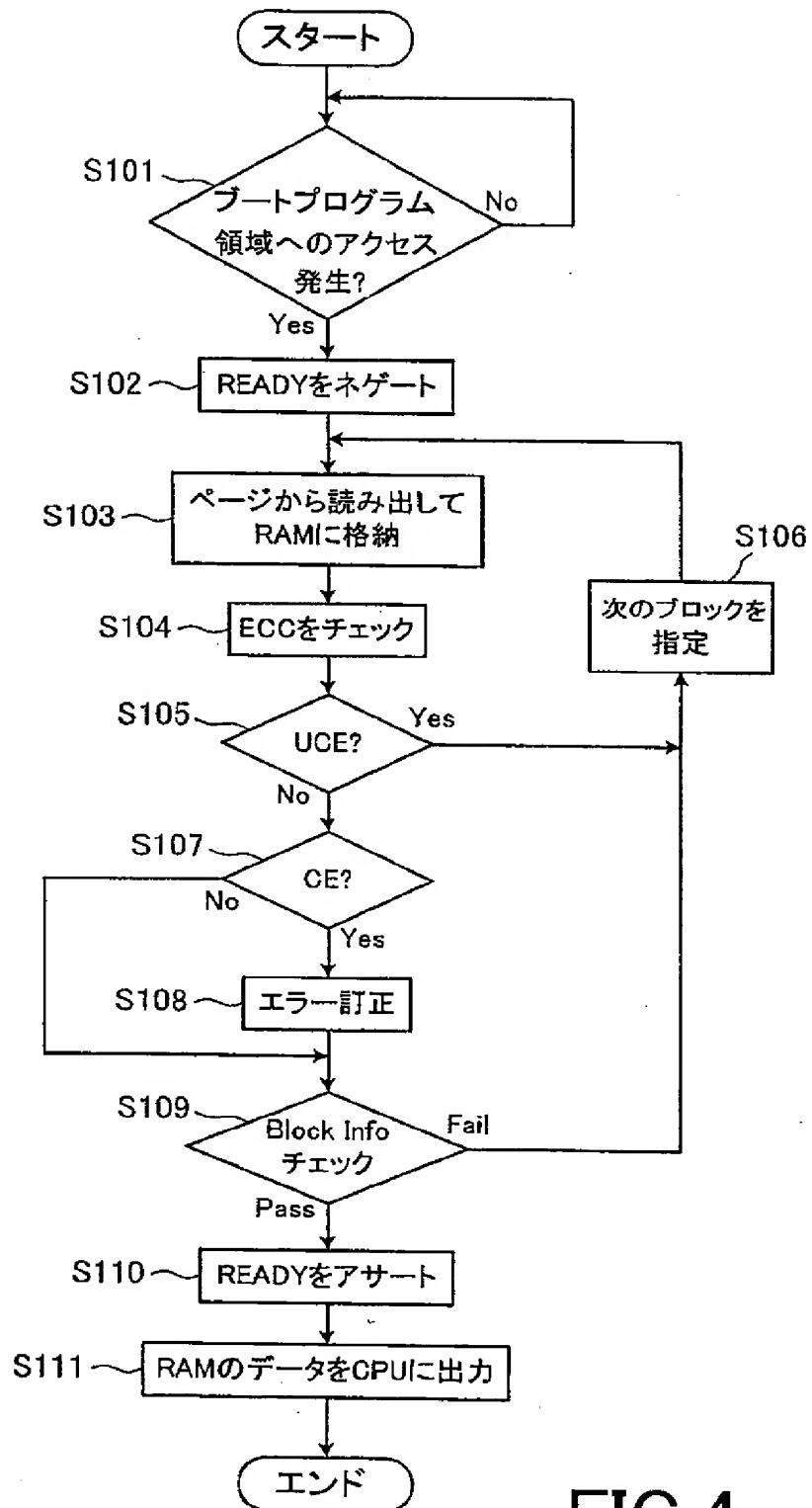


FIG.4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001105

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G06F9/445

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G06F9/445, G06F9/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 5-265767 A (NEC Corp.), 15 October, 1993 (15.10.93), Par. Nos. [0008] to [0011]; Fig. 3 (Family: none)	1, 4, 5, 6, 8 2, 3, 7
Y	JP 2001-27953 A (Mitsubishi Electric Corp.), 30 January, 2001 (30.01.01), Par. No. [0018] & US 6546517 B1	2, 3, 7
A	JP 7-98659 A (Tec Co., Ltd.), 11 April, 1995 (11.04.95), Full text; all drawings (Family: none)	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
15 February, 2005 (15.02.05)

Date of mailing of the international search report
01 March, 2005 (01.03.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001105

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-11293 A (NEC Corp.), 16 January, 1998 (16.01.98), Par. Nos. [0031] to [0037]; Fig. 4 (Family: none)	1, 8
A	JP 57-71508 A (NEC Corp.), 04 May, 1982 (04.05.82), Page 2, lower left column, line 8 to page 3, upper left column, line 3 (Family: none)	2, 3

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl. ⁷ G06F9/445		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl. ⁷ G06F9/445, G06F9/06		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2005年 日本国実用新案登録公報 1996-2005年 日本国登録実用新案公報 1994-2005年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 5-265767 A (日本電気株式会社)	1, 4, 5, 6, 8
Y	1993. 10. 15, 段落【0008】-【0011】, 第3図 (ファミリーなし)	2, 3, 7
Y	JP 2001-27953 A (三菱電機株式会社) 2001. 01. 30, 段落【0018】 & US 6546517 B1	2, 3, 7
A	JP 7-98659 A (株式会社テック) 1995. 04. 11, 全文, 全図 (ファミリーなし)	1-8
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		
の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	国際調査報告の発送日	
15. 02. 2005	01. 3. 2005	
国際調査機関の名称及びあて先	特許庁審査官 (権限のある職員)	5 B 9 8 4 5
日本国特許庁 (ISA/JP)	浜岸 広明	
郵便番号100-8915	電話番号 03-3581-1101	内線 3545
東京都千代田区霞が関三丁目4番3号		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 10-11293 A (日本電気株式会社) 1998.01.16, 段落【0031】-【0037】, 第4図 (ファミリーなし)	1, 8
A	J P 57-71508 A (日本電気株式会社) 1982.05.04, 第2頁左下欄第8行目-第3頁左上欄第3 行目 (ファミリーなし)	2, 3